

105學年畢業專題

800V超高壓ESD防護元件

學生： 102012003 李昶弘

102012004 張凱雄

102012005 林冠毅

102012007 戴源毅

指導老師:楊紹明 教授

摘要

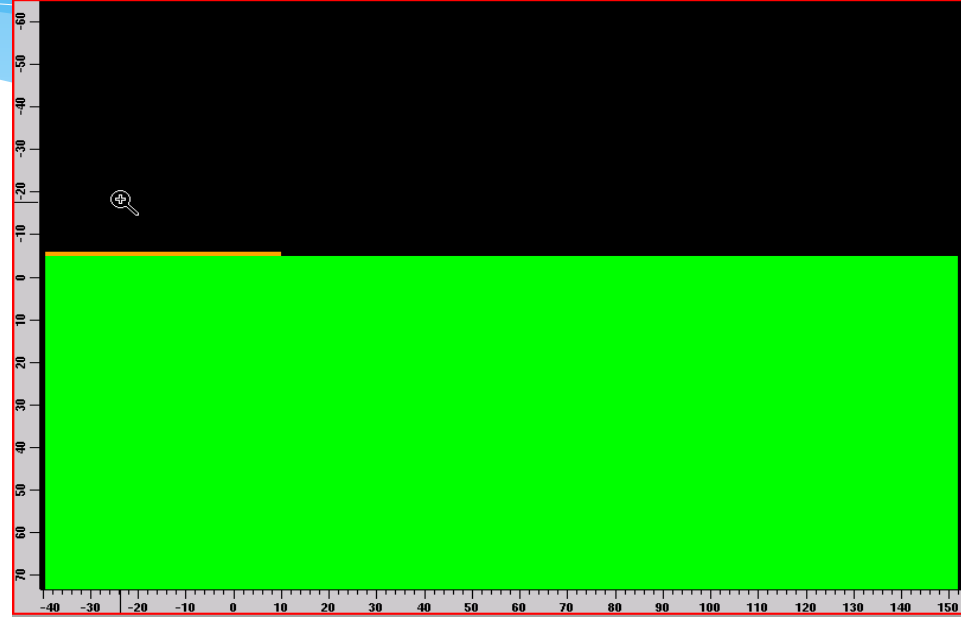
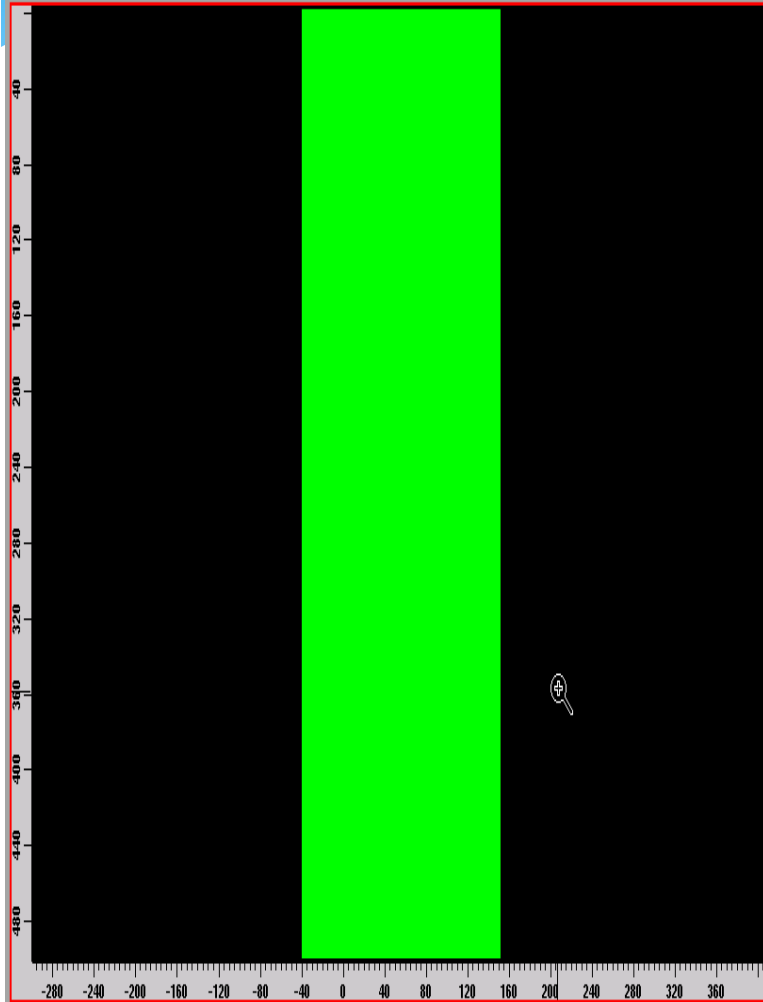
- * 近年來智慧型手機、穿戴型電子產品的普及，以及觸控式電腦螢幕...等等，經常與人類皮膚接觸，對於現代半導體製程中有些採用深次微米製程等等的複雜化製程，元件的微小化，往往犧牲的是積體電路中的隔離氧化層(Gate Oxide)的厚度，使得原來的靜電保護能力降低，而人類本身就是導體，在元件的生產、組裝、測試以及搬運等等過程中，多次接觸中多少都會產生靜電，頻繁的靜電放電(Electrostatic Discharge, ESD)影響，正是在考驗元件的靜電保護能力。
- * 為了避免靜電保護力不足造成元件損毀，我們必須找到一個適合的Macro Model模型放入元件外部，使高能量的靜電，通過設定好的路徑，以避免造成元件內部的損傷。目前可以見到市面上許多發展中的電子科技，例如:電動汽/機車、機器人工業等等，都需要高電流驅動也意味著靜電防護力的高需求，故此研究我們要針對800V高電壓規格的靜電放電防護為主題，從調整參數的過程中，是否對應實際MOS元件的汲極(drain)和源極(source)，該如何調整才能使Trigger和Hoding的值達到最佳化?

研究動機與目標

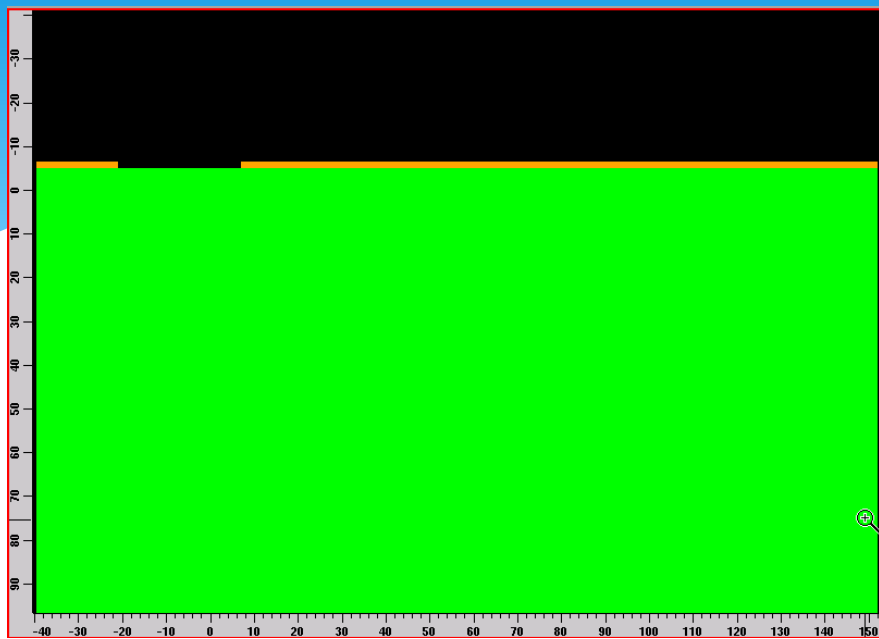
- * 以T-CAD模擬平台，使用電腦模擬輔助了解ESD元件特性
- * 使用SCR植入來增加ESD防護能力，並蒐集數據



1. 建模



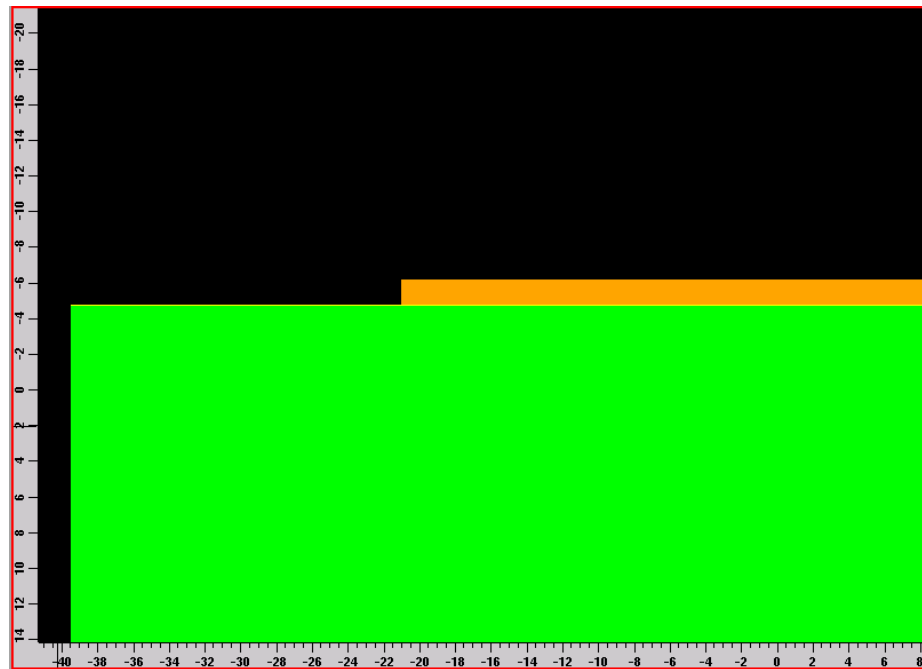
2. 蓋光罩、侵蝕 打入N-WELL



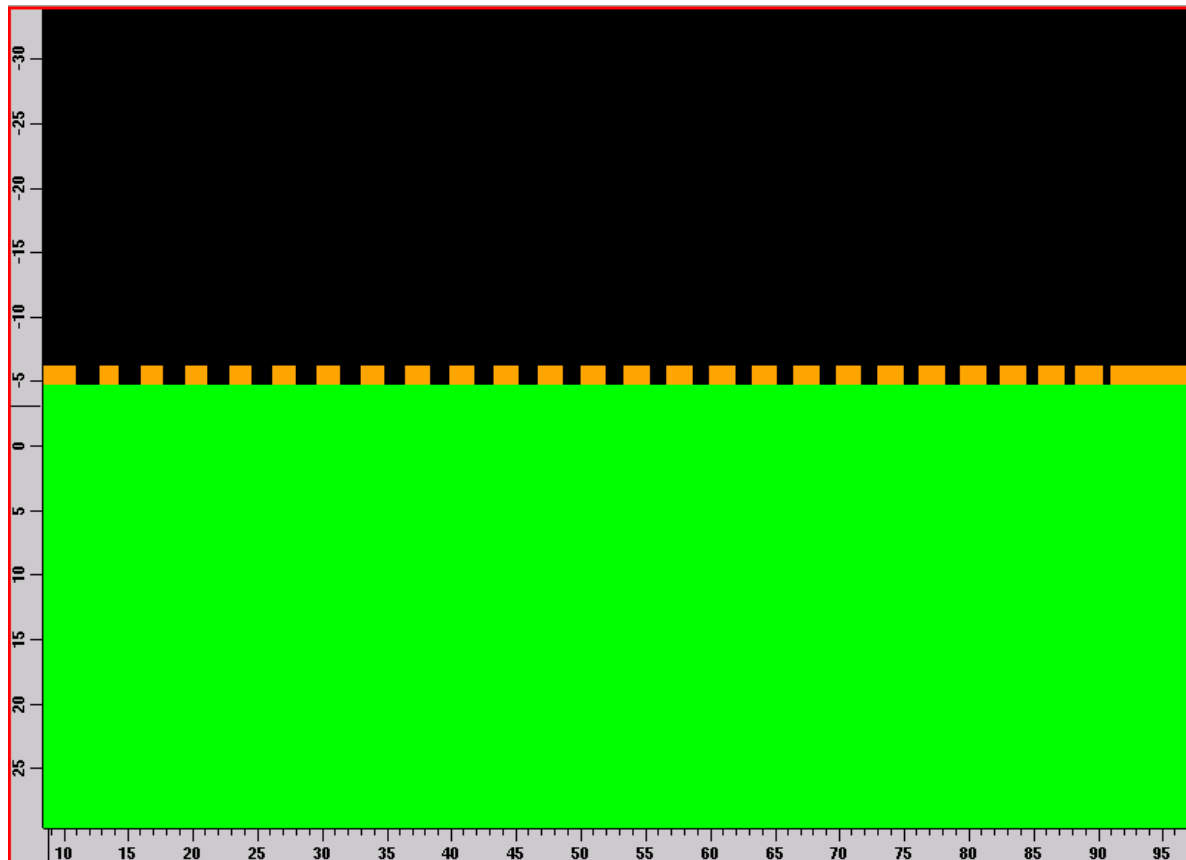
↑ 3.重新蓋光罩、侵蝕
打入N+



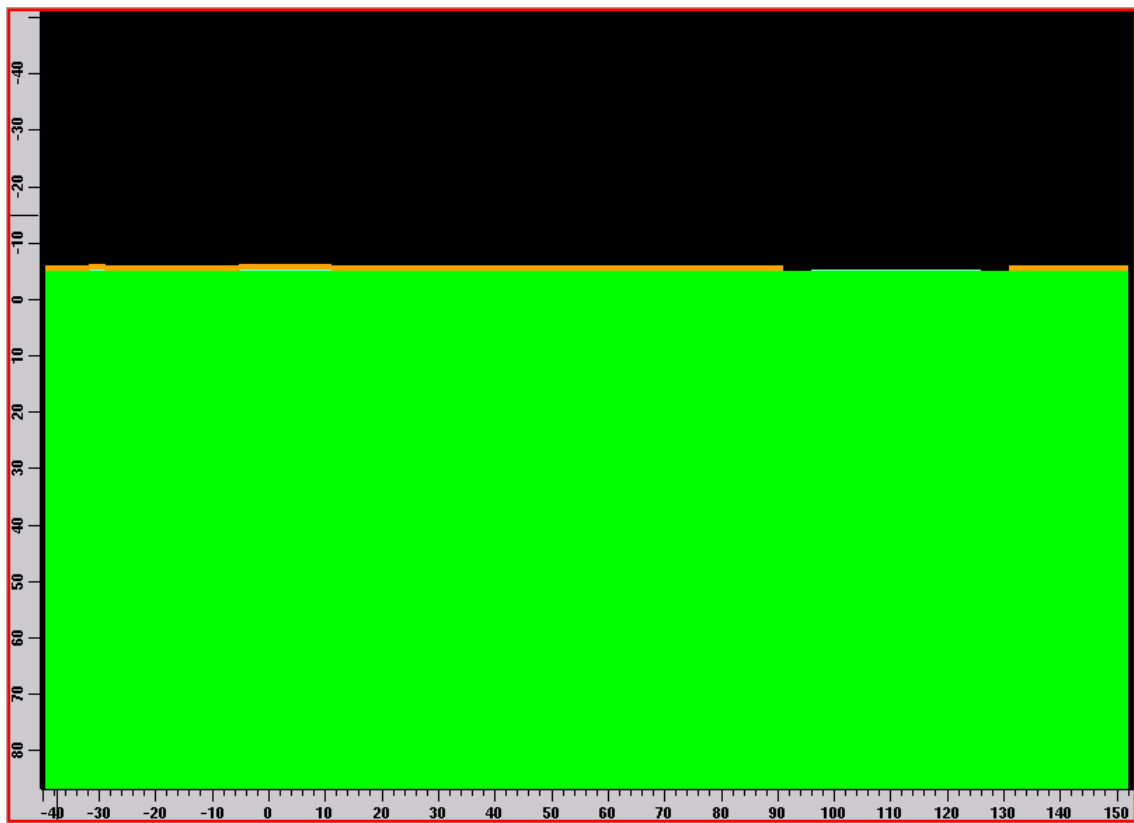
4.重新蓋光罩、侵蝕
打入P+

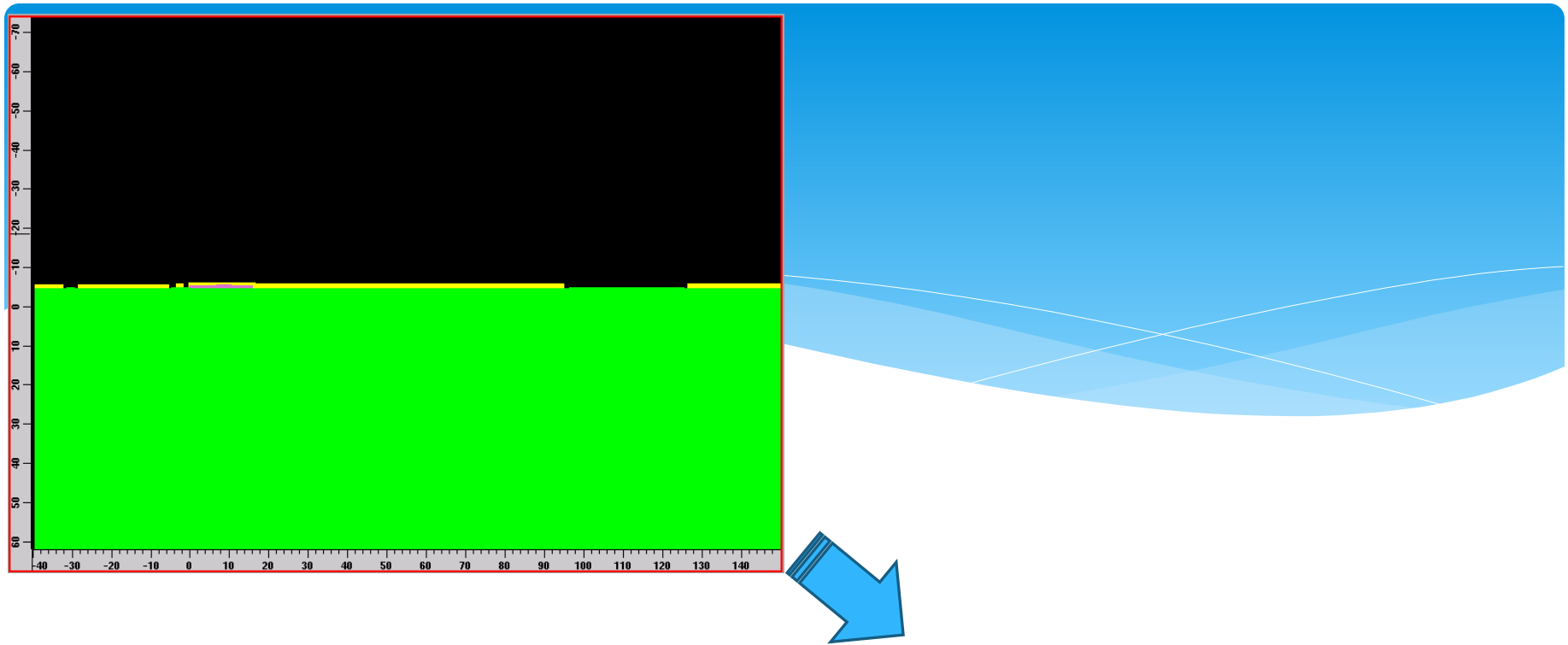


打入P+

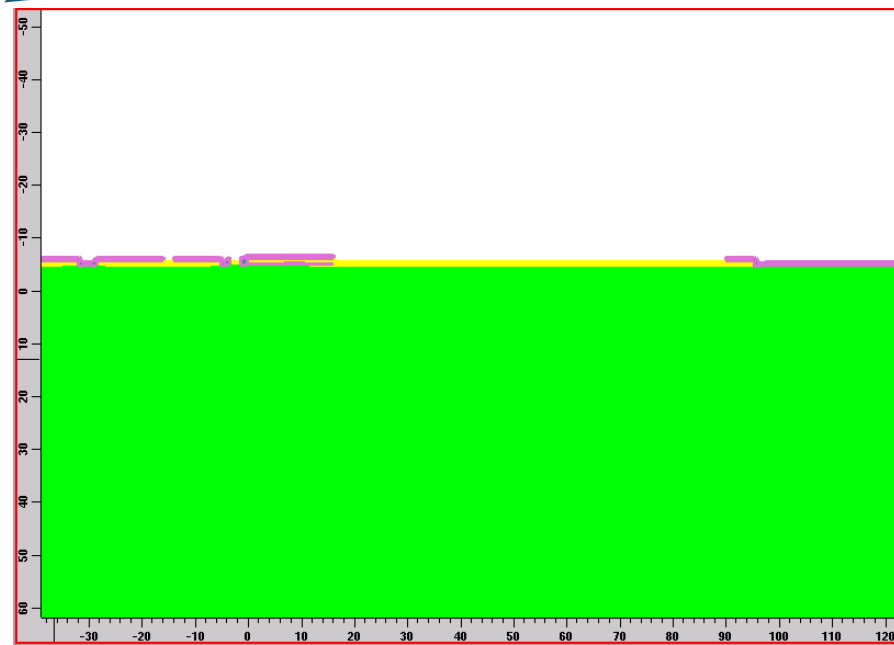


打入N+





活化氧化層並侵蝕出需要的範圍再打上metal



Breakdown: 由圖一可知元件崩潰電壓可達1138V

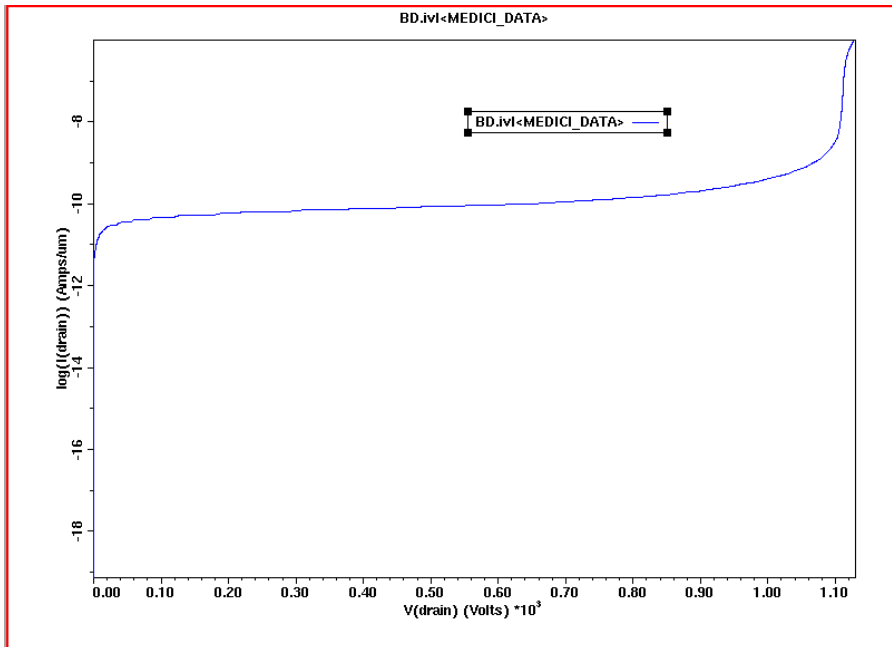
Threshold: 臨界電壓, 圖二為 $v_{th}=9v$

Ron : 電阻率

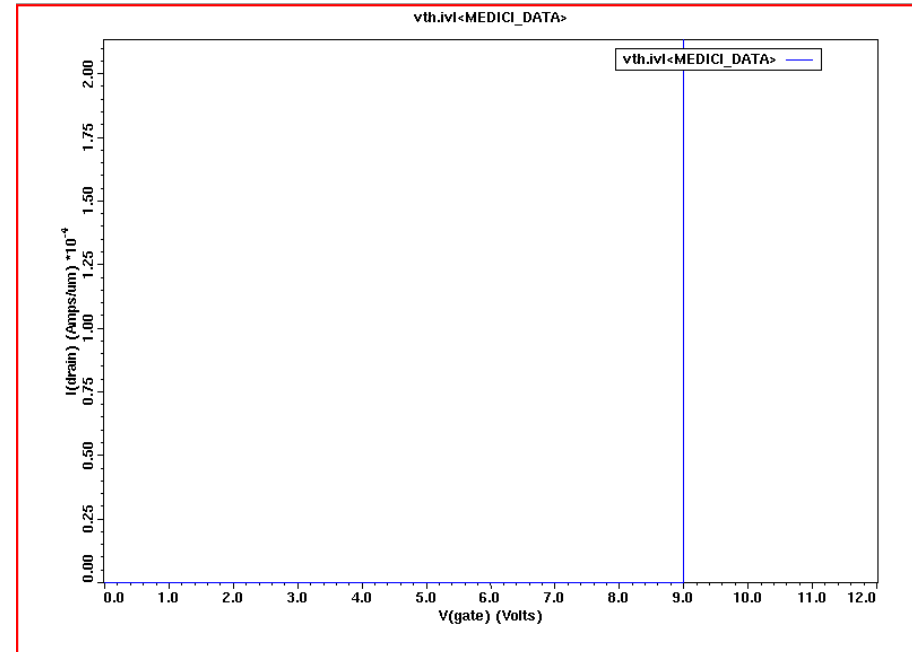
$$I_d V_g = 9v = 3.1942E-4$$

$$\text{Pitch} = 76/2 = 38$$

$$R_{on} = 11.89 \text{ m}\Omega / \text{mm}^2$$

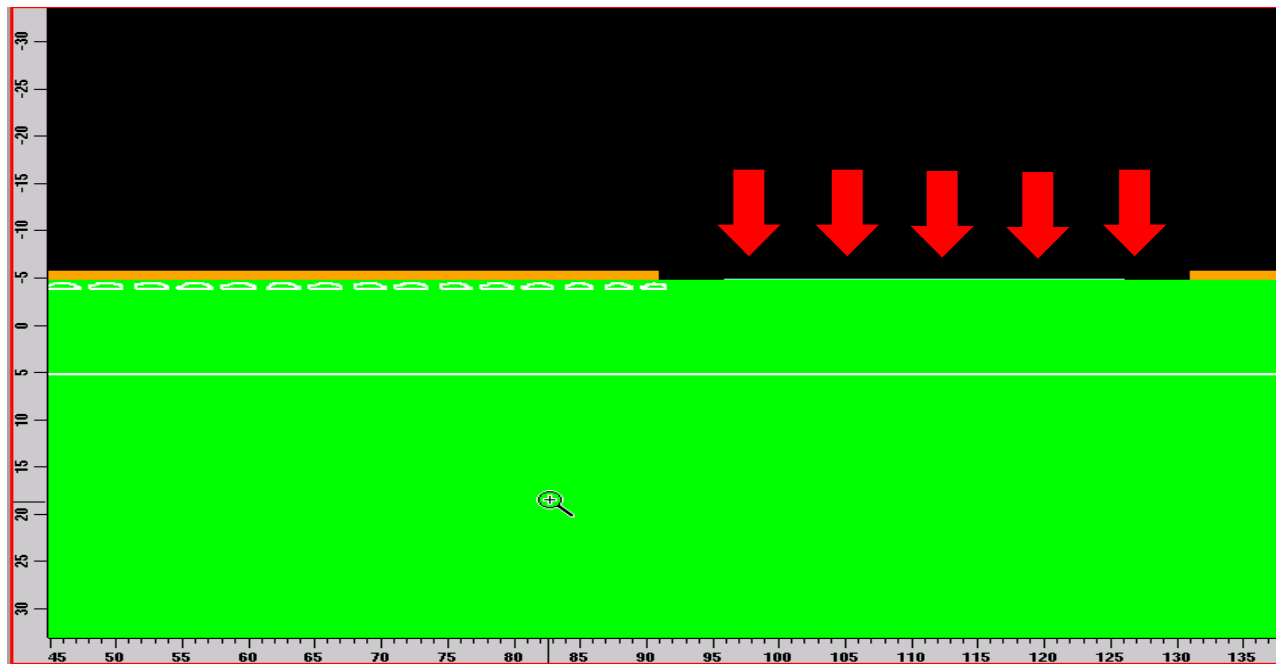


圖一: bvd 1138v



圖二: $v_{th}=9v$

利用電腦輔助程式TCAD，在原本drain的地方多打一個Boron使其形成SCR



Breakdown: 由圖一可知元件可達1043V

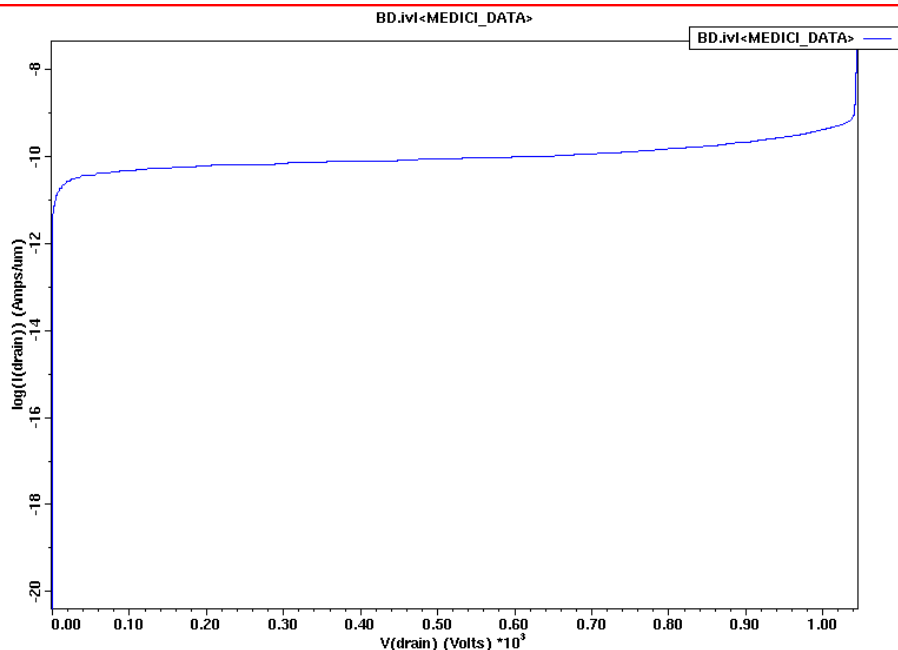
Threshold: 臨界電壓, 圖二為 $v_{th}=9v$

Ron : 電阻率

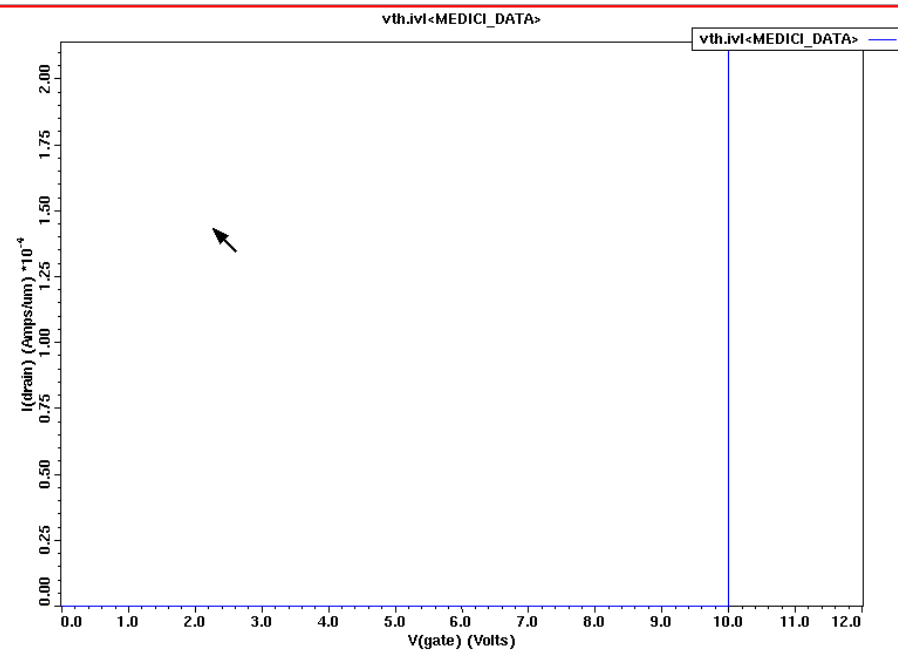
$$I_d V_g = 9v = 2.139e-4$$

$$\text{Pitch} = 76/2 = 38$$

$$R_{on} = 17.76m\Omega / mm^2$$

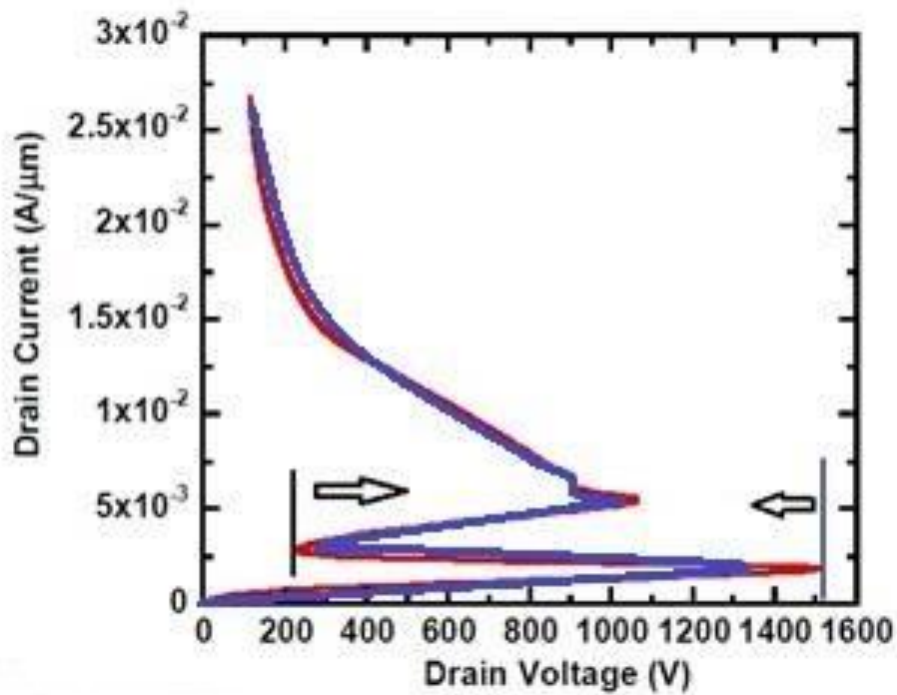


圖一：bvd 1043v



圖二：vth 9v

Trigger下降 holding 上升





Thank You